

DERWENT-ACC-NO: 1996-326958

DERWENT-WEEK: 199633

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Mfg. semiconductor device having inductor and capacitor for IC - involves generating small parasitic capacitance by covering electrically conductive layer by another conductive layer through insulating film

PATENT-ASSIGNEE: CANON KK [CANO]

PRIORITY-DATA: 1994JP-0287991 (November 22, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08148651 A	June 7, 1996	N/A	005	HO1L 027/04

APPLICATION-DATA:

PUB-NC	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 08148651A	N/A	1994JP-0287991	November 22, 1994

INT-CL (IPC): H01L021/822, H01L027/04

ABSTRACTED-PUB-NO: JP 08148651A

BASIC-ABSTRACT:

The mfg method involves using a semiconductor substrate (1) over which an insulating film (2) is formed. A first electrically conductive layer (3) is formed over the insulating film. Then a patterning process is carried out to the first electrically conductive layer. Then a selection etching layer (4) is formed over the first electrically conductive layer. Then a second electrically conductive layer (6) is formed over the selection etching layer after carrying out patterning process to the selection etching layer.

A patterning process is then carried out to the second electrically conductive layer. The selective etching layer is removed in the capacitor area and hence pair of electrically conductive layers are adjoined. A small parasitic capacitance area is formed by covering the first and second electrically conductive layer by a third electrically conductive layer (8) through an insulating film.

ADVANTAGE - Realises inductor of small parasitic capacitance. Provides large aspect ratio with small relative permittivity.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: MANUFACTURE SEMICONDUCTOR DEVICE INDUCTOR CAPACITOR IC GENERATE PARASITIC CAPACITANCE COVER ELECTRIC CONDUCTING LAYER CONDUCTING LAYER THROUGH INSULATE FILM

DERWENT-CLASS: L03 U11 U12 U14

CPI-CODES: L04-C06; L04-C14;

EPI-CODES: U11-C05G1B; U11-C05G1C; U12-C02; U12-C03; U14-H03C2;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1996-103734

Non-CPI Secondary Accession Numbers: N1996-275467

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-148651

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

H 01 L 27/04
21/822

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 27/04

L
C

審査請求 未請求 請求項の数9 OL (全5頁)

(21)出願番号

特願平6-287991

(22)出願日

平成6年(1994)11月22日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 中山 潤

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

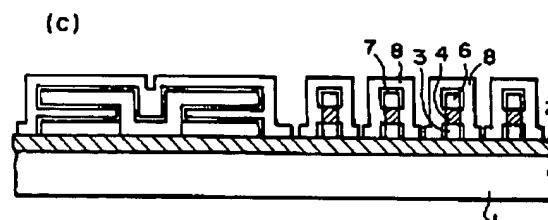
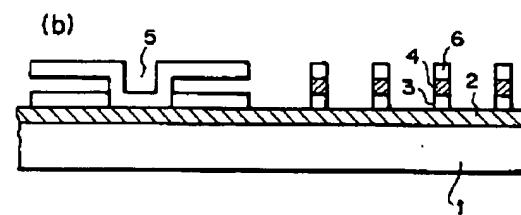
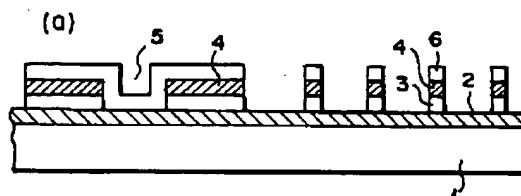
(74)代理人 弁理士 山下 輝平

(54)【発明の名称】 インダクター及び半導体装置及びその製造方法

(57)【要約】

【目的】 小型で寄生容量の小さいインダクターを実現し、小型のキャパシターと同時に簡略な製造方法により提供する。

【構成】 絶縁基板2に導電層3, 6を含むパターンにより形成され、前記パターン3, 6の隣接する領域が接触せずに空気層を有する範囲で、前記導電層3, 6を絶縁膜7を介して他の導電層8で覆ったことを特徴とするインダクター。また、絶縁膜上の第1の導電層の上に選択エッチング層、第2の導電層を形成して、パターンニングする工程と、キャパシター領域の前記選択エッチング層を除去する工程と、前記絶縁膜と前記選択エッチング層を、前記パターンの隣接する領域が接触しない範囲で、絶縁膜を介して第3の導電層により覆う工程、を有する、インダクターとキャパシターを有する半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 絶縁基板上に導電層を含むパターンにより形成されたインダクターにおいて、

前記パターンの隣接する領域が接触せずに空気層を有する範囲で、前記導電層を、他の導電層で覆ったことを特徴とするインダクター。

【請求項2】 前記導電層を、絶縁膜を介して前記他の導電層で覆ったことを特徴とする請求項1に記載のインダクター。

【請求項3】 絶縁基板上に、導電層を含むパターンにより形成されるインダクターにおいて、

前記パターンは、

前記絶縁基板上に形成された第1の導電層と、前記第1の導電層上に形成された選択エッチング層と、前記選択エッチング層上に形成された第2の導電層と、前記選択エッチング層と前記第1と第2の導電層を覆つて形成され、かつ前記パターンの隣接する領域が接触せずに空気層を有する範囲で形成された第3の導電層と、を含んで構成されることを特徴とするインダクター。

【請求項4】 前記第1の導電層側面と前記第2の導電層表面に形成された絶縁膜を有することを特徴とする請求項3に記載のインダクター。

【請求項5】 絶縁基板上に、導電層を含むパターンにより形成されるインダクターの製造方法において、

前記絶縁膜上に第1の導電層を形成する工程、前記第1の導電層の上に選択エッチング層を形成する工程、

前記第1の導電層と前記選択エッチング層に開口部を設ける工程、

前記選択エッチング層上に第2の導電層を形成する工程、

前記第1の導電層及び選択エッチング層及び第2の導電層をバーニングする工程、

前記第1の導電層及び前記選択エッチング層及び前記第2の導電層を、前記パターンの隣接する領域が接触せずに空気層を有する範囲で、第3の導電層により覆う工程、を有することを特徴とするインダクターの製造方法。

【請求項6】 前記第1と第2の導電層表面に絶縁膜を形成した後、前記第3の導電層により覆う工程、を有することを特徴とする請求項5に記載のインダクターの製造方法。

【請求項7】 請求項1～4のいずれか1項に記載のインダクターと、キャパシターが同一基板上に形成されていることを特徴とする半導体装置。

【請求項8】 絶縁基板上に、導電層を含むパターンにより形成されるインダクターと、キャパシターを有する半導体装置の製造方法において、

前記絶縁膜上に第1の導電層を形成する工程、前記第1の導電層の上に選択エッチング層を形成する工

10

程、

前記第1の導電層と前記選択エッチング層に開口部を設ける工程、

前記選択エッチング層上に第2の導電層を形成する工程、

前記第1の導電層及び選択エッチング層及び第2の導電層をバーニングする工程、

前記キャパシター領域の前記選択エッチング層を除去する工程、

前記第1と第2の導電層表面に絶縁膜を形成する工程、前記絶縁膜と前記選択エッチング層を、前記パターンの隣接する領域が接触せずに空気層を有する範囲で、第3の導電層により覆う工程、を有することを特徴とする半導体装置の製造方法。

【請求項9】 前記キャパシター領域の前記絶縁膜を残して、前記インダクター領域の前記絶縁膜を除去した後、前記第3の導電層により覆う工程を、有することを特徴とする請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に使用されるインダクター及びそれを用いた半導体装置及びその製造方法に関するもので、特にキャパシターとインダクターを同一基板上に有する半導体装置におけるインダクターの小型化、及びその製造方法に関するものである。

【0002】

【従来の技術】 移動体通信の発展により、通信用マイクロ波集積回路（MMIC）の高密度化への要求が強まっている。

【0003】 MMICの高密度化のためには、MMIC中で大きな面積を占めているインダクターとキャパシターの小型化が必要となってくる。

【0004】 従来、インダクターとキャパシターの小型化を行なうためには、インダクターとキャパシターを多層膜構造または厚膜化する方法が知られている。

【0005】 図2は、従来の多層膜構造によるキャパシターの製造方法を示した図である。

【0006】 この方法では図2(a)に示す様に、キャパシタンス形成の為、半導体基板1上に絶縁膜2を形成し、導電体層3と選択エッチング膜4を堆積し、開口部5を設け、導電体層6を堆積した後、導電体層6、選択エッチング膜4、導電体層3の外周をエッチングし、導電体層3と6でストレージ・ノードを形成する。

【0007】 次に図2(b)に示す様に、選択エッチング層4をエッチング除去する。

【0008】 次に図2(c)に示す様に、導電体層6と3を酸化し、酸化膜7を形成した後、導電体層8を堆積し、セル・プレートを形成する。

【0009】 図3は、多層構造を用いたインダクターの

20

30

40

50

構造を示す断面模式図であり、スパイラルパターン等のインダクターパターンの断面を示したものである。図3において、各符号は、上記図2で説明したものと同じであり、図2で説明したキャパシターと同時に形成可能なものである。

【0010】また、図4は、厚膜構造を用いたインダクターの模式的断面を示すものであり、図2の方法によりキャパシタンスを形成した後、図4(a)に示す様にメッキ用電極のメタル薄膜9を形成した後、レジスト10をバーニングし、さらに金11を無電解メッキで堆積する。

【0011】次に図4(b)に示す様にレジスト10を除去した後、メッキ用電極9の不要部分をイオンミリングで除去すると、インダクターが形成される。

【0012】

【発明が解決しようとしている課題】しかしながら、上述した従来の方法によりインダクターとキャパシターを小型化すると、図3に示した多層膜構造のインダクターにおいては、選択エッチング膜4の誘電率が大きいため、寄生容量の増加により共振周波数が低下するという欠点があった。

【0013】また図4に示した厚膜構造を用いたインダクターにおいては、キャパシターを形成した後、厚膜構造のインダクターを形成するため、工程が複雑になるという欠点があった。

【0014】【発明の目的】本発明の目的は、小型化しても寄生容量の増加により共振周波数が低下することがないインダクターを実現することにあり、また小型のキャパシターと小型で寄生容量の小さいインダクターを同時に簡略な製造方法により提供することにある。

【0015】

【課題を解決するための手段及び作用】本発明は、上述した課題を解決するための手段として、絶縁基板上に導電層を含むパターンにより形成されたインダクターにおいて、前記パターンの隣接する領域が接触せずに空気層を有する範囲で、前記導電層を、絶縁膜を介して又は介さずに他の導電層で覆ったことを特徴とするインダクターを提供する。

【0016】本発明によれば、パターンの隣接する領域が空気層を有する範囲で、上記他の導電層で覆ったことにより、隣接する上記他の導電層の間に存在する、アスペクト比が大きく誘電率の小さな空気を用いられるので、小型で寄生容量の小さなインダクターを形成できる。

【0017】また、絶縁基板上に、導電層を含むパターンにより形成されるインダクターにおいて、前記パターンは、前記絶縁基板上に形成された第1の導電層と、前記第1の導電層上に形成された選択エッチング層と、前記選択エッチング層上に形成された第2の導電層と、前記第1の導電層及び前記選択エッチング層及び前記第2

の導電層を覆って形成され、かつ前記パターンの隣接する領域が接触せずに空気層を有する範囲で形成された第3の導電層と、を有して構成されることを特徴とするインダクターを、上記手段とする。

【0018】また、前記第1の導電層側面と前記第2の導電層表面に絶縁膜を形成したインダクターであっても良い。

【0019】本発明によれば、第1の導電層及び選択エッチング層及び第2の導電層の周縁に、絶縁膜を介して又は介さずに、第3の導電層を形成することにより、隣接する第3の導電層間の谷間に存在する、アスペクト比が大きく誘電率の小さな空気を用いられるので、小型で寄生容量の小さなインダクターを形成できる。

【0020】また、絶縁基板上に、導電層を含むパターンにより形成されるインダクターの製造方法において、前記絶縁膜上に第1の導電層を形成する工程、前記第1の導電層の上に選択エッチング層を形成する工程、前記第1の導電層と前記選択エッチング層に開口部を設ける工程、前記選択エッチング層上に第2の導電層を形成する工程、前記第1の導電層及び選択エッチング層及び第2の導電層をバーニングする工程、前記第1の導電層及び前記選択エッチング層及び第2の導電層を、前記パターンの隣接する領域が接触せずに空気層を有する範囲で、第3の導電層により覆う工程、を有することを特徴とするインダクターの製造方法を、上記手段とする。また、前記第1の導電層と第2の導電層の周囲に絶縁膜を形成した後、前記第3の導電層により覆う工程を有するインダクターの製造方法でも良い。本発明によれば、導電層と選択エッチング膜の周縁に第3の導電層を形成することにより、アスペクト比が大きく誘電率の小さな空気を用いられるので小型で寄生容量の小さなインダクターを形成できる。

【0021】また、上記インダクターと、キャパシターが同一基板上に形成されていることを特徴とする半導体装置により、小型のキャパシターと小型で寄生容量の小さなインダクターを同時に得ることができる。

【0022】また、本発明は、絶縁基板上に、導電層を含むパターンにより形成されるインダクターと、キャパシターを有する半導体装置の製造方法において、前記絶縁膜上に第1の導電層を形成する工程、前記第1の導電層の上に選択エッチング層を形成する工程、前記第1の導電層と前記選択エッチング層に開口部を設ける工程、前記選択エッチング層上に第2の導電層を形成する工程、前記第1の導電層及び選択エッチング層及び第2の導電層をバーニングする工程、前記キャパシター領域の前記選択エッチング層を除去する工程、前記第1と第2の導電層表面に絶縁膜を形成する工程、前記絶縁膜と前記選択エッチング層を、前記パターンの隣接する領域が接触せずに空気層を有する範囲で、第3の導電層により覆う工程、を有することを特徴とする半導体装置の製

造方法を、上記手段とするものである。

【0023】また、前記キャパシター領域の前記絶縁膜を残して、前記インダクター領域の前記絶縁膜を除去した後、前記第3の導電層により覆うことを特徴とする半導体装置の製造方法でも良い。

【0024】本発明によれば、小型のキャパシターと小型で寄生容量の小さなインダクターを同時に得ることができため、製造工程の無駄がない。

【0025】また、上述した目的を達成するため、本発明は、キャパシターのストレージ・ノードとして用いた導電体層と（導電体層上の絶縁膜）とストレージ・ノードを形成するために用いた除去される膜の周縁にセル・プレートとなる導電体層を形成する事により、キャパシタンスの形成と同時に小型で寄生容量の小さいインダクターの形成を行なうことができる。

【0026】

【実施例】以下、本発明の実施例について説明するが、本発明は以下に述べる実施例に限定されることはなく、本発明の目的が達成できる構成であればよい。

【0027】図1は本発明のインダクターとキャパシターの製造工程を示す模式的断面図であり、インダクターは、平面的には、スパイラルパターン等のインダクターパターンに形成されている。

【0028】まず、図1(a)に示す様に、半導体基板1上に絶縁膜2を形成する。絶縁膜2は選択エッチング膜4とエッチング選択比があるシリコン塗化膜、シリコン酸化膜を堆積、スパッタ、熱酸化で形成する。

【0029】次に、厚さ0.1～5μmの導電体層3と選択エッチング膜4を堆積し、開口部5を設け、導電体層6を堆積した後、導電体層6、選択エッチング膜4、導電体層3の外周をエッチングし、キャパシターとインダクターとなる領域を形成する。

【0030】導電体層6、選択エッチング膜4、導電体層3の組合せの実施例としては、A1/ポリイミド/A1、Au/ポリイミド/Au、高融点金属/ポリイミド/高融点金属、Doped Poly-Si/SiO₂/Doped Poly-Si、Doped Poly-Si/ポリイミド/Doped Poly-Si、高融点金属/A1/高融点金属がある。

【0031】次に図1(b)に示す様に、レジスト(図示せず)をマスクにしてキャパシターとなる領域の選択エッチング膜4をエッチング除去する。

【0032】次に図1(c)に示す様に、導電体層6と3上に絶縁膜7を形成した後、導電体層8を堆積し、バターニングを行ない、キャパシターとインダクターを形成する。

【0033】絶縁膜7としてはAl₂O₃、CVDSiO₂、CVDSi₃N₄、熱酸化膜がある。

【0034】(実施例1)図1(a)に示す様に、導電体基板1上にシリコン酸化膜2を5000Å形成し、厚

さ1μmのA1層3を堆積した後、厚さ1μmのポリイミド層4を塗布・固化させ、開口部5を設けた後、厚さ1μmのA1層6を堆積し、A1層6、ポリイミド層4、A1層3をバターニングする。

【0035】次に図1(b)に示す様に、レジストをマスクにしてキャパシターとなる領域のポリイミド層4をエッチング除去する。

【0036】次に図1(c)に示す様に、熱酸化法、陽極酸化法、酸素プラズマ法によりA1層3と6の表面に厚さ0.2μmのAl₂O₃膜7を形成した後、厚さ1μmのA1層8を堆積してバターニングし、キャパシターとインダクターを形成する。

【0037】(実施例2)図5は、本発明の実施例2のインダクターとキャパシターを示す模式断面図である。

【0038】図5に示す様に、半導体基板1上にシリコン塗化膜2を3000Å、厚さ0.5μmのW層3、厚さ0.5μmのA1層4、厚さ0.5μmのW層6の堆積とバターニングを行ない、キャパシター領域のA1層4を除去し、キャパシター領域のW層3と6の上にのみ厚さ1000Åのシリコン酸化膜7を残してエッチング除去した後、厚さ0.5μmのW層8を堆積してバターニングし、キャパシターとインダクターを形成する。

【0039】

【発明の効果】本発明によれば、インダクターパターンの隣接する領域が接触せずに空気層を有する範囲で、上記他の導電層で覆ったことにより、アスペクト比が大きく誘電率の小さな空気を用いることができるため、小型で寄生容量の小さなインダクターを形成できるという効果が得られる。

【0040】また、本発明によれば、インダクターの導電層上の絶縁層と選択エッチング膜の周縁に第3の導電層を形成することにより、アスペクト比が大きく誘電率の小さな空気を用いられるので、小型で寄生容量の小さなインダクターを形成できるという効果が得られる。

【0041】また、本発明によれば、小型のキャパシターと小型で寄生容量の小さなインダクターを同時に得ることができるため、製造工程の無駄がない。

【0042】また、本発明によれば、インダクターの導電体層と選択エッチング膜の周縁に別の導電体層を形成する事により、アスペクト比が大きく誘電率の小さな空気を用いられるので小型で寄生容量の小さなインダクターを形成できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す模式断面図である。

【図2】従来のキャパシターの形成方法を示す模式断面図。

【図3】従来の方法による多層構造インダクターの模式断面図。

【図4】従来の方法による厚膜構造インダクターの模式

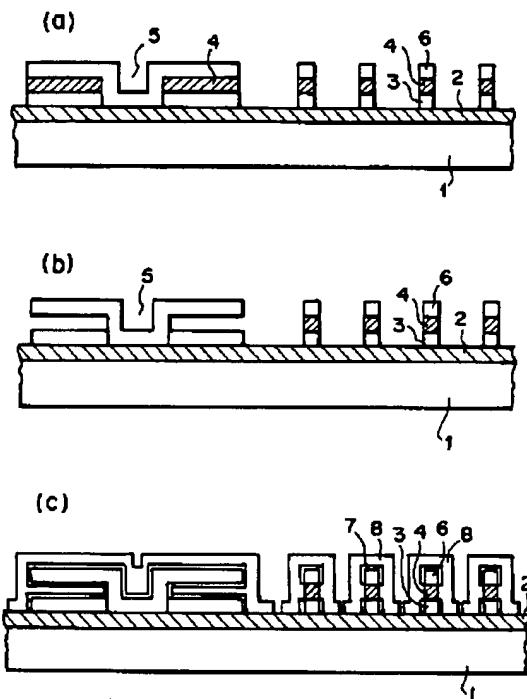
断面図。

【図5】本発明の第2の実施例を示す模式断面図である。

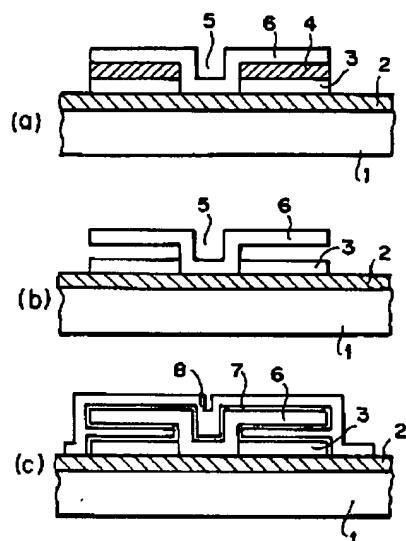
【符号の説明】

1 半導体基板
2 絶縁膜
3, 6, 8 導電体層
4 選択エッチング膜
5 開口部
7 絶縁膜
9 メタル薄膜
10 レジスト
11 金

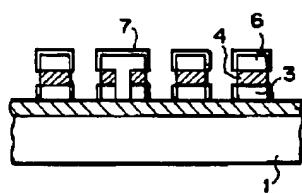
【図1】



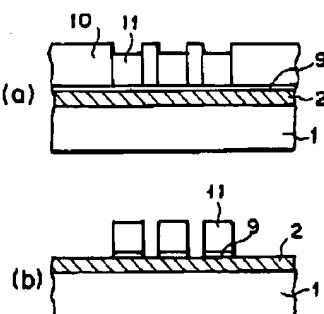
【図2】



【図3】



【図4】



【図5】

